

Docket No.: 56937-086

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
Kiyohito MUKAI, et al.	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: September 17, 2003	:	Examiner:
For: METHOD OF FABRICATING A SEMICONDUCTOR DEVICE AND A METHOD OF GENERATING A MASK PATTERN	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

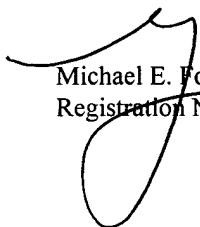
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. JP P2002-270068, filed on September 17, 2002.**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:gv  
Facsimile: (202) 756-8087  
**Date: September 17, 2003**

56937-086  
Kiyohito, MUKAI et al.

日本国特許庁 September 17, 2003  
JAPAN PATENT OFFICE *McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月17日

出願番号

Application Number:

特願2002-270068

[ST.10/C]:

[JP2002-270068]

出願人

Applicant(s):

松下電器産業株式会社

2003年 2月 7日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3005162

【書類名】 特許願

【整理番号】 5037540015

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/76

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 向井 清士

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 谷本 正

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 伊藤 光実

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100086737

    【弁理士】

    【氏名又は名称】 岡田 和秀

    【電話番号】 06-6376-0857

【手数料の表示】

    【予納台帳番号】 007401

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305280

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法／マスクパターンの生成方法

【特許請求の範囲】

【請求項 1】 半導体基板表面において大面積活性領域である第 1 の領域と小面積活性領域である第 2 の領域とに分離する領域分離溝を形成する第 1 の工程と

、  
前記領域分離溝の内部を含めて前記半導体基板表面上に絶縁膜を形成する第 2 の工程と、

格子窓パターンを有するエッチングマスクを用いて、前記第 1 の領域に前記格子窓パターンに対応する格子状開口部を形成する状態で、前記絶縁膜に対するエッチングを行う第 3 の工程と、

前記半導体基板上に残存している前記絶縁膜に対して研磨除去を施す第 4 の工程とを含む半導体装置の製造方法。

【請求項 2】 半導体基板表面において大面積活性領域である第 1 の領域と小面積活性領域である第 2 の領域とに分離する領域分離溝を形成する第 1 の工程と

、  
前記領域分離溝の内部を含めて前記半導体基板表面上に絶縁膜を形成する第 2 の工程と、

単一開口パターンおよび格子窓パターンを有するエッチングマスクを用いて、前記第 1 の領域には前記単一開口パターンに対応する単一開口部を形成するとともに、前記第 2 の領域には前記格子窓パターンに対応する格子状開口部を形成する状態で、前記絶縁膜に対するエッチングを行う第 3 の工程と、

前記半導体基板上に残存している前記絶縁膜に対して研磨除去を施す第 4 の工程とを含む半導体装置の製造方法。

【請求項 3】 前記エッチングマスクにおける前記格子窓パターンは、前記活性領域との重なり幅が前記単一開口パターンの重なり幅よりも小さく設定されている請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 レイアウトパターンを入力し、前記レイアウトパターンを所定の規則に基づいて複数の領域に分割する領域分割ステップと、

前記分割による複数の領域のいずれかにおいて、所定の規則に基づいて反転パターンを生成した上で格子形状に変形してマスクパターンを生成する反転パターン格子形状生成ステップとを含むマスクパターンの生成方法。

【請求項 5】 レイアウトパターンを入力し、前記レイアウトパターンを所定の規則に基づいて複数の領域に分割する領域分割ステップと、

前記分割による複数の領域のいずれかにおいて、所定の規則に基づいて反転パターンを生成する反転パターン生成ステップと、

前記複数の領域のうちの別の領域において、所定の規則に基づいて反転パターンを生成した上で格子形状に変形する反転パターン格子形状生成ステップと、

前記反転パターンと前記格子形状付き反転パターンとを合成するパターン合成ステップとを含むマスクパターンの生成方法。

【請求項 6】 レイアウトパターンを入力し、前記入力したレイアウトパターンについてシミュレーションを行って表面高さの差異を求める生成方法選択用段差シミュレーションステップと、

前記シミュレーションによる表面高さの差異が軽微か否かに応じて、請求項 4 に記載のマスクパターンの生成方法と請求項 5 に記載のマスクパターンの生成方法のいずれか一方を選択する生成方法選択ステップとを含むマスクパターンの生成方法。

【請求項 7】 請求項 4 から請求項 6 までのいずれかに記載のマスクパターンの生成方法において、さらに、

前記生成したマスクパターンについてシミュレーションを行って表面高さの差異を求める規則変更用段差シミュレーションステップと、

前記シミュレーションによる表面高さの差異を前記所定の規則における期待値と照合し、その照合結果が条件を満たさないときには、前記所定の規則を変更した上で、前記各ステップを繰り返す段差判定ステップとを含むマスクパターンの生成方法。

【請求項 8】 前記規則変更用段差シミュレーションステップは、前記レイアウトパターンを複数の領域に分割し、個々の領域におけるパターン密度を算出し、前記パターン密度に応じて、前記活性領域との重なり幅または前記格子形状の

幅を変更する請求項 7 に記載のマスクパターンの生成方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体装置の製造方法にかかわり、詳しくは、素子分離による絶縁膜の平坦化において表面高さの差異を軽減するための技術に関する。

【 0 0 0 2 】

【従来の技術】

S T I (Sharow Trench Isolation) 法は、半導体基板の表面に領域分離溝を形成した後、領域分離溝の内部を含めて半導体基板表面に絶縁膜（酸化膜）を形成し、その絶縁膜を平坦化する工程を経て、半導体素子間を分離する方法である。

【 0 0 0 3 】

S T I 法では、その平坦化工程において、半導体基板の表面に影響を与えることなく半導体素子分離領域を平坦にすることが重要である。近年用いられる平坦化の方法としてCMP (Chemical Mechanical Polishing) 工程が例として挙げられる(例えば、特許文献 1、2 参照。 )。

【 0 0 0 4 】

図 1 6 は従来の技術における半導体装置の製造方法の工程説明図である。

【 0 0 0 5 】

図 1 6 ( a ) に示す半導体基板 1 0 の表面に対して、図 1 6 ( b ) に示すように、領域分離溝 1 0 a を形成し、領域分離溝 1 0 a によって半導体基板 1 0 を相対的に大きな面積の活性領域である第 1 の領域 A w と相対的に小さな面積の活性領域である第 2 の領域 A n とに分離する。次に、図 1 6 ( c ) に示すように、領域分離溝 1 0 a の内部を含めて半導体基板 1 0 上に絶縁膜（酸化膜） 1 1 を形成する。絶縁膜 1 1 は、領域分離溝 1 0 a に対しては埋め込まれた状態となる。

【 0 0 0 6 】

次に、図 1 6 ( d ) に示すように、第 1 の領域 A w に位置対応する単一開口パターン 1 2 c を有するエッチングマスク 1 2 で絶縁膜 1 1 を覆う。単一開口パタ

ーン 1 2 c の近傍において、第 1 の領域 A w 上の絶縁膜 1 1 w の四周部領域に対してエッチングマスク 1 2 が重なっている。D w が第 1 の領域 A w での重なり領域である。

## 【 0 0 0 7 】

図 1 6 ( d ) に示す状態でエッチングマスク 1 2 を用いて絶縁膜 1 1 をエッチングすると、図 1 6 ( e ) のようになる。すなわち、エッチングマスク 1 2 における単一開口パターン 1 2 c に位置対応する第 1 の領域 A w の絶縁膜 1 1 w の部分のみがエッチングされる。そのエッチングされる部分は第 1 の領域 A w 上の絶縁膜 1 1 w に限られている。この絶縁膜 1 1 w において、単一開口パターン 1 2 c に位置対応した部分がエッチングで除去された単一開口部 1 1 q となっている。1 1 w<sub>1</sub> は重なり領域 D w に位置対応した残存絶縁膜部分である。

## 【 0 0 0 8 】

図 1 6 ( e ) の状態に対して、CMP 工程により半導体基板 1 0 の表面上の絶縁膜 1 1 を除去する。すなわち、第 2 の領域 A n 上の絶縁膜 1 1 n、第 1 の領域 A w 上の残存絶縁膜部分 1 1 w<sub>1</sub> を除去し、領域分離溝 1 0 a 内にのみ絶縁膜 1 1 を埋め込んだ状態とする。領域分離溝 1 0 a 内に埋め込まれた絶縁膜が埋込絶縁膜 1 1 u である。

## 【 0 0 0 9 】

埋込絶縁膜 1 1 u の上面と半導体基板 1 0 の上面とを面一の状態に平坦化するのが理想である。

## 【 0 0 1 0 】

## 【特許文献 1】

特開平 1 0 - 2 2 3 7 6 号公報 ( 第 4 - 5 頁、図 4 - 8 )

## 【特許文献 2】

特開 2 0 0 0 - 2 3 2 1 5 3 号公報 ( 第 4 - 5 頁、図 1 )

## 【 0 0 1 1 】

## 【発明が解決しようとする課題】

従来の技術では、CMP 工程の前の絶縁膜エッチング工程において、大きな面積の活性領域である第 1 の領域のみを対象として絶縁膜を除去していた。すなわ



ち、小さな面積の活性領域である第2の領域では絶縁膜の除去は行っていなかった。このため、次工程のCMP工程では、絶縁膜存在率の不均一が生じ、領域分離溝内絶縁膜表面と半導体基板表面との間に大きな表面高さの差異が生じていた。

#### 【0012】

このような大きな表面高さの差異が生じると、トランジスタのゲート電極の形成のために半導体基板上に多結晶シリコン膜を成膜するとき、その膜厚に不均一が生じ、その結果、多結晶シリコン膜のエッチング残渣が発生する可能性がある。このエッチング残渣のために、ゲート電極間でショートしたり、他の配線層とゲート電極とがショートする等の不都合が発生するおそれがある。

#### 【0013】

これを回避するために、絶縁膜の表面高さを半導体基板表面に合わせる状態でCMPを行えば、局所的なオーバー研磨が発生する。そうすると、活性領域に形成される半導体素子の特性が損なわれてしまう。

#### 【0014】

##### 【課題を解決するための手段】

上記の課題を解決するための第1の解決手段として、本発明による半導体装置の製造方法は、次のような手段を講じる。

#### 【0015】

すなわち、第1の工程において、半導体基板の表面において、相対的に大きな面積の活性領域（大面積活性領域）である第1の領域と相対的に小さな面積の活性領域（小面積活性領域）である第2の領域とに分離するための領域分離溝を形成する。

#### 【0016】

第2の工程において、前記領域分離溝に絶縁膜を埋め込むために、前記半導体基板の表面上に絶縁膜を形成する。この絶縁膜形成によって、領域分離溝の内部にも絶縁膜が充填される。絶縁膜が必要なのは、領域分離溝の内部だけであり、半導体基板表面上の絶縁膜は除去する必要がある。そこで、第3の工程の絶縁膜エッチングを行う。

## 【 0 0 1 7 】

第 3 の工程において、格子窓パターンを有するエッチングマスクを用いて、前記第 1 の領域に前記格子窓パターンに対応する格子状開口部を形成する状態で、前記絶縁膜に対するエッチングを行う。

## 【 0 0 1 8 】

第 4 の工程において、前記のエッチングの後に前記半導体基板上に残存している前記絶縁膜に対して研磨除去を施す。これにより、半導体基板表面を露出させる。領域分離溝には絶縁膜が埋め込まれた状態となる。

## 【 0 0 1 9 】

以上を要するに、本発明の半導体装置の製造方法は、半導体基板表面において大面積活性領域である第 1 の領域と小面積活性領域である第 2 の領域とに分離する領域分離溝を形成する第 1 の工程と、前記領域分離溝の内部を含めて前記半導体基板表面上に絶縁膜を形成する第 2 の工程と、格子窓パターンを有するエッチングマスクを用いて、前記第 1 の領域に前記格子窓パターンに対応する格子状開口部を形成する状態で、前記絶縁膜に対するエッチングを行う第 3 の工程と、前記半導体基板上に残存している前記絶縁膜に対して研磨除去を施す第 4 の工程とを含むものである。

## 【 0 0 2 0 】

本発明を従来技術との比較で説明する。従来技術においては、単一開口パターンを有するエッチングマスクを用いて、第 1 の領域に単一開口パターンに対応する単一開口部を形成する状態に、絶縁膜をエッチングしていた。そのため、第 1 の領域での開口部（単一開口部）の面積が比較的に大きく、第 1 の領域では絶縁膜存在率が小さくなっていた。絶縁膜存在率とは、半導体基板表面上に存在している絶縁膜の面積が半導体基板の単位面積当たりに占める割合のことである。従来技術の場合、第 1 の領域において開口部面積が大きく、絶縁膜存在率が小さいために、研磨除去において、絶縁膜存在率が十分に大きな第 2 の領域に比べて、第 1 の領域ではオーバー研磨を招き、領域分離溝内絶縁膜表面と半導体基板表面との間に表面高さの差異を生じる原因となっていた。

## 【 0 0 2 1 】

これに対して、本発明では、第 1 の領域の絶縁膜をエッチングするのに、単一開口パターンに代えて格子窓パターンを有するエッチングマスクを用いる。格子窓パターンを第 1 の領域に位置対応させ、第 1 の領域に格子窓パターンに対応する格子状開口部を形成する状態に絶縁膜をエッチングする。格子状開口部は単一開口部に比べて、トータルの面積は小さくなる。隣接する格子状開口部どうし間の栈状の格子部が残存している。その分、従来技術の単一開口部の場合に比べて、第 1 の領域での絶縁膜存在率は増加する。元は低かった第 1 の領域における絶縁膜存在率が増加したので、第 1 の領域の絶縁膜存在率を第 2 の領域の絶縁膜存在率に近づけることになる。したがって、研磨除去において、第 1 の領域での研磨除去の量を第 2 の領域での研磨除去の量に近づけることができる。すなわち、絶縁膜存在率の調整によって研磨中の絶縁膜の膜厚減少率を制御しており、その膜厚減少率を絶縁膜の全面にわたって均等化することができる。これにより、局部的なオーバー研磨を防止し、領域分離溝内絶縁膜表面と半導体基板表面との間の表面高さの差異を減少させ、両者の表面高さを均一化することができる。その結果、半導体基板表面の平坦性を向上させ、ひいては、半導体素子の特性を改善することができる。

#### 【 0 0 2 2 】

上記の解決手段は、従来技術における第 1 の領域での単一開口部に格子部を追加することで、元は低かった第 1 の領域での絶縁膜存在率を増加させ、絶縁膜存在率を第 1 の領域と第 2 の領域とで均一化するものである。次に述べる解決手段は、第 1 の領域での単一開口部はそのままとし、第 2 の領域に開口部を追加することで、元は高かった第 2 の領域での絶縁膜存在率を減少させることにより、絶縁膜存在率を第 1 の領域と第 2 の領域とで均一化するものである。追加するものが、格子部であるか開口部であるかの相違である。

#### 【 0 0 2 3 】

上記の課題を解決するための第 2 の解決手段として、本発明による半導体装置の製造方法は、次のような手段を講じる。

#### 【 0 0 2 4 】

すなわち、第 1 の工程において、半導体基板表面において大面積活性領域であ

る第 1 の領域と小面積活性領域である第 2 の領域とに分離する領域分離溝を形成する。

【 0 0 2 5 】

第 2 の工程において、前記領域分離溝の内部を含めて前記半導体基板表面上に絶縁膜を形成する。

【 0 0 2 6 】

第 3 の工程において、単一開口パターンおよび格子窓パターンを有するエッチングマスクを用いて、前記第 1 の領域には前記単一開口パターンに対応する単一開口部を形成するとともに、前記第 2 の領域には前記格子窓パターンに対応する格子状開口部を形成する状態で、前記絶縁膜に対するエッチングを行う。

【 0 0 2 7 】

第 4 の工程において、前記半導体基板上に残存している前記絶縁膜に対して研磨除去を施す。

【 0 0 2 8 】

第 1 の工程、第 2 の工程および第 4 の工程については、先の解決手段と同じである。第 3 の工程に特徴がある。

【 0 0 2 9 】

第 1 の領域の絶縁膜のエッチングでは、従来技術の場合と同様に、単一開口パターンのマスクパターンを用いるのであるが、従来技術ではエッチングしなかった第 2 の領域の絶縁膜もエッチングすることとしている。すなわち、格子窓パターンを第 2 の領域に位置対応させ、第 2 の領域に格子窓パターンに対応する格子状開口部を形成する状態に絶縁膜をエッチングする。従来技術では開口部のなかった第 2 の領域において、格子状開口部を形成したので、従来技術の無開口部の場合に比べて、第 2 の領域での絶縁膜存在率は減少する。元は高かった第 2 の領域における絶縁膜存在率が減少したので、第 2 の領域の絶縁膜存在率を第 1 の領域の絶縁膜存在率に近づけることになる。したがって、研磨除去において、第 1 の領域での研磨除去の量を第 2 の領域での研磨除去の量に近づけることができる。すなわち、絶縁膜存在率の調整によって研磨中の絶縁膜の膜厚減少率を制御しており、その膜厚減少率を絶縁膜の全面にわたって均等化することができる。こ

れにより、局所的なオーバー研磨を防止し、領域分離溝内絶縁膜表面と半導体基板表面との間に表面高さを均一化することができる。その結果、半導体基板表面の平坦性を向上させ、ひいては、半導体素子の特性を改善することができる。

【 0 0 3 0 】

上記において好ましい態様は、前記エッチングマスクにおける前記格子窓パターンについて、前記活性領域との重なり幅が前記単一開口パターンの重なり幅よりも小さく設定されていることである。

【 0 0 3 1 】

これによれば、小面積の活性領域であっても、反転パターンを生成することが可能となる。重なり幅を小さくして格子形状とすることにより、エッチング後の絶縁膜の機械強度を高くし、研磨除去を安定的に行って、半導体基板表面までの露出の制御を容易化することができる。

【 0 0 3 2 】

以下はマスクパターンの生成方法にかかわる発明についてである。

【 0 0 3 3 】

本発明による第 1 のマスクパターンの生成方法は、レイアウトパターンを入力し、前記レイアウトパターンを所定の規則に基づいて複数の領域に分割する領域分割ステップと、前記分割による複数の領域のいずれかにおいて反転パターンを生成した上で格子形状に変形してマスクパターンを生成する反転パターン格子形状生成ステップとを含むものである。

【 0 0 3 4 】

これは、上記の第 1 の解決手段に対応するエッチングマスクのマスクパターンを生成するものである。この発明によれば、用いるレイアウトパターンに適合した状態で、局所的なオーバー研磨を防止し半導体基板表面の平坦性を向上するためのものとして、絶縁膜存在率を第 1 の領域と第 2 の領域とで均一化する格子形状付き反転パターンのマスクパターンを生成することができる。

【 0 0 3 5 】

別の解決手段として、本発明による第 2 のマスクパターンの生成方法は、レイアウトパターンを入力し、前記レイアウトパターンを所定の規則に基づいて複数

の領域に分割する領域分割ステップと、前記分割による複数の領域のいずれかにおいて反転パターンを生成する反転パターン生成ステップと、前記複数の領域のうちの別の領域において反転パターンを生成した上で格子形状に変形する反転パターン格子形状生成ステップと、前記反転パターンと前記格子形状付き反転パターンとを合成するパターン合成ステップとを含むものである。上記において、反転パターン生成ステップと反転パターン格子形状生成ステップとは先後関係を問うものではなく、いずれが先になってもよく、また、同時でもかまわない。

## 【 0 0 3 6 】

これは、上記の第 2 の解決手段に対応するエッチングマスクのマスクパターンを生成するものである。この発明によれば、レイアウトパターンデータベースに含まれる多種多様な形状のレイアウトパターンに適合した状態で、局部的なオーバー研磨を防止し半導体基板表面の平坦性を向上するためのものとして、絶縁膜存在率を第 1 の領域と第 2 の領域とで均一化する反転パターンおよび格子形状付き反転パターンの合成よりなるマスクパターンを生成することができる。

## 【 0 0 3 7 】

また、上記の発明において別の観点からの好ましい態様として、レイアウトパターンを入力し、前記入力したレイアウトパターンについてシミュレーションを行って表面高さの差異を求める生成方法選択用段差シミュレーションステップと、前記シミュレーションによる表面高さの差異が軽微か否かに応じて、上記第 1 のマスクパターンの生成方法と上記第 2 のマスクパターンの生成方法のいずれか一方を選択する生成方法選択ステップとを含むマスクパターンの生成方法がある。

## 【 0 0 3 8 】

この方法によれば、用いるレイアウトパターンに対して段差シミュレーションを実行して、シミュレーションでの表面高さの差異が軽微なものであるか、それとも重大なものであるかの違いに応じて、マスクパターンの生成方法を上記第 1 のマスクパターンの生成方法とするか上記第 2 のマスクパターンの生成方法にするかを選択する。すなわち、適用するマスクパターンの生成方法を最適化しながらマスクパターンを生成するので、最適な状態の反転パターンに基づいてマスク

パターンを生成することができる。したがって、用いるレイアウトパターンに適合した状態で、局所的なオーバー研磨を防止し半導体基板表面の平坦性を向上するためのものとして、絶縁膜存在率を第 1 の領域と第 2 の領域とで均一化する最適な反転パターンに基づくマスクパターンを生成することができる。

## 【 0 0 3 9 】

上記各マスクパターンの生成方法において、好ましい態様は、さらに、前記生成したマスクパターンについてシミュレーションを行って表面高さの差異を求める規則変更用段差シミュレーションステップと、前記シミュレーションによる表面高さの差異を前記所定の規則における期待値と照合し、その照合結果が条件を満たさないときには、前記所定の規則を変更した上で、前記各ステップを繰り返す段差判定ステップとを含むことである。

## 【 0 0 4 0 】

この方法によれば、生成したマスクパターンに対して段差シミュレーションを実行して、シミュレーションでの表面高さの差異と期待値との照合の結果が不満足であれば、所定の規則（幅、間隔、密度、形状など）を変更する。そして、変更後の規則に基づいて、同様の処理を繰り返し、段差シミュレーションの照合結果が満足するようにする。このように適用する規則を最適化しながらマスクパターンを生成するので、最適な格子形状付き反転パターンによるマスクパターンを生成することができる。したがって、レイアウトパターンデータベースに含まれる多種多様な形状のレイアウトパターンに適合した状態で、局所的なオーバー研磨を防止し半導体基板表面の平坦性を向上するためのものとして、絶縁膜存在率を第 1 の領域と第 2 の領域とで均一化する最適な格子形状付き反転パターンのマスクパターンを生成することができる。

## 【 0 0 4 1 】

上記において好ましい態様は、前記の規則変更用段差シミュレーションステップが、前記レイアウトパターンを複数の領域に分割し、個々の領域におけるパターン密度を算出し、前記パターン密度に応じて、前記活性領域との重なり幅または前記格子形状の幅を変更することである。

## 【 0 0 4 2 】

活性領域との重なり幅または格子形状の幅をパターン密度に応じて変更することにより、分割による複数の領域のすべてにおいて絶縁膜存在率を均一化でき、局所的なオーバー研磨を防止し半導体基板表面の平坦性を向上する最適なマスクパターンを生成することができる。

#### 【 0 0 4 3 】

なお、上記半導体装置の製造方法についての第 1 の解決手段と第 2 の解決手段とを併用し、第 1 の領域に格子状開口部を形成するとともに、第 2 の領域にも格子状開口部を形成する方式も有効である。この場合のマスクパターンは、第 1 の領域に対応した格子窓パターンと第 2 の領域に対応した格子窓パターンの両方を有する状態に生成するものとする。

#### 【 0 0 4 4 】

##### 【発明の実施の形態】

以下、本発明にかかわる半導体装置の製造方法の実施の形態について図面に基づいて詳細に説明する。

#### 【 0 0 4 5 】

##### （実施の形態 1）

本実施の形態は、相対的に大きな面積の活性領域である第 1 の領域において、エッチングマスクに加工を施すことで、課題解決に対応するものである。

#### 【 0 0 4 6 】

図 1 は本発明の実施の形態 1 における半導体装置の製造方法の工程説明図である。

#### 【 0 0 4 7 】

図 1（a）に示すように、半導体基板 10 の表面に半導体素子を分離するための領域分離溝 10a を形成し、領域分離溝 10a の内部を含めて半導体基板 10 上に絶縁膜（酸化膜）11 を形成する。絶縁膜 11 は、領域分離溝 10a に対しては埋め込まれた状態となる。なお、ここまでの手順は、従来技術の場合の図 16（a）～（c）と同様である。

#### 【 0 0 4 8 】

絶縁膜 11 をエッチングマスク 12 で覆う。エッチングマスク 12 は、相対的



に大きな面積の活性領域である第 1 の領域 A w に対して格子窓パターン 1 2 a を開口する形態となっている。1 2 b は格子窓パターン 1 2 a を構成するための格子部である。

## 【 0 0 4 9 】

第 1 の領域 A w に対して格子窓パターン 1 2 a の部分を位置合わせする状態で、絶縁膜 1 1 をエッチングマスク 1 2 で覆う。これが図 1 ( a ) の状態である。

## 【 0 0 5 0 】

図 1 ( b ) は半導体基板 1 0 上の絶縁膜 1 1 として第 1 の領域 A w 上の絶縁膜 1 1 w と第 2 の領域 A n 上の絶縁膜 1 1 n とを示している。第 2 の領域 A n は、相対的に小さな面積の活性領域である。図 1 ( c ) はエッチングマスク 1 2 を示す。第 1 の領域 A w 上の絶縁膜 1 1 w の中央部に格子部 1 2 b が位置対応している。格子窓パターン 1 2 a の近傍において、第 1 の領域 A w 上の絶縁膜 1 1 w の四周部領域に対してエッチングマスク 1 2 が重なっている。D w が第 1 の領域 A w での重なり領域である。格子部 1 2 b の幅および重なり領域 D w の幅については、例えば 0 . 5 ~ 1 . 0  $\mu$  m 程度である。

## 【 0 0 5 1 】

図 1 ( a ) に示す状態でエッチングマスク 1 2 を用いて絶縁膜 1 1 をエッチングすると、図 1 ( d ) のようになる。すなわち、エッチングマスク 1 2 における格子窓パターン 1 2 a に位置対応する絶縁膜 1 1 の部分のみがエッチングされる。そのエッチングされる部分は第 1 の領域 A w 上の絶縁膜 1 1 w に限られている。この絶縁膜 1 1 w において、格子窓パターン 1 2 a に位置対応した部分がエッチングで除去された格子状開口部 1 1 p となっている。1 1 w<sub>1</sub> は重なり領域 D w に位置対応した残存絶縁膜部分であり、1 1 w<sub>2</sub> は格子部 1 2 b に位置対応した残存絶縁膜部分である。第 2 の領域 A n 上の絶縁膜 1 1 n は元の状態のまま残っている。

## 【 0 0 5 2 】

従来技術 ( 図 1 6 ) との比較において、格子部 1 2 b に位置対応した残存絶縁膜部分 1 1 w<sub>2</sub> が追加されていることが特徴となっている。

## 【 0 0 5 3 】

図 1 (d) の状態に対して、CMP 工程により半導体基板 1 0 の表面上の絶縁膜 1 1 を除去する。すなわち、第 2 の領域 A n 上の絶縁膜 1 1 n、第 1 の領域 A w 上の残存絶縁膜部分 1 1 w<sub>1</sub>、1 1 w<sub>2</sub> を除去し、領域分離溝 1 0 a 内にのみ絶縁膜 1 1 を埋め込んだ状態とする。領域分離溝 1 0 a 内に埋め込まれた絶縁膜が埋込絶縁膜 1 1 u である。埋込絶縁膜 1 1 u の上面と半導体基板 1 0 の上面とが面一の状態に平坦化されている。

## 【 0 0 5 4 】

CMP 方式の研磨において、従来技術に対して追加した状態の残存絶縁膜部分 1 1 w<sub>2</sub> の存在により、研磨中の絶縁膜 1 1 の膜厚減少率が全面にわたって均等化される。

## 【 0 0 5 5 】

エッチングマスク 1 2 を用いて絶縁膜 1 1 に対するエッチングを行った後の状態における絶縁膜存在率  $\eta$  を次のように定義する。第 1 の領域 A w であるか第 2 の領域 A n であるかを問わず、半導体基板 1 0 の表面上に存在している絶縁膜 1 1 の面積が半導体基板 1 0 の単位面積あたりに占める割合を絶縁膜存在率  $\eta$  とする。

## 【 0 0 5 6 】

この絶縁膜存在率  $\eta$  が、従来技術の場合には、相対的に小さな面積の活性領域である第 2 の領域 A n で大きく、相対的に大きな面積の活性領域である第 1 の領域 A w で小さいという不均一を伴っていた。これに対して、本実施の形態では、格子部 1 2 b を設けることで残存絶縁膜部分 1 1 w<sub>2</sub> を残し、その結果として、第 1 の領域 A w での絶縁膜存在率  $\eta$  を第 2 の領域 A n での絶縁膜存在率  $\eta$  に近づけたものである。その結果、従来技術の場合の、第 1 の領域 A w 上の絶縁膜 1 1 w での過剰な除去が抑制され、埋込絶縁膜 1 1 u の上面と半導体基板 1 0 の上面とが面一の状態に平坦化されることになる。

## 【 0 0 5 7 】

すなわち、エッチングマスクにおけるパターンの形状と寸法を調整することにより、エッチング工程での絶縁膜除去の制御を向上することが可能となり、CMP 方式の研磨を全面にわたって均質化し、半導体基板表面の高精度な平坦化を実

現することができる。

【 0 0 5 8 】

(実施の形態 2)

本実施の形態は、相対的に小さな面積の活性領域である第 2 の領域において、エッチングマスクに加工を施すことで、課題解決に対応するものである。

【 0 0 5 9 】

図 2 は本発明の実施の形態 2 における半導体装置の製造方法の工程説明図である。

【 0 0 6 0 】

図 2 ( a ) において、実施の形態 1 ( 図 1 ) と同様に、半導体基板 1 0 に半導体素子を分離するための領域分離溝 1 0 a が形成され、領域分離溝 1 0 a の内部を含めて半導体基板 1 0 上に絶縁膜 1 1 が形成されている。絶縁膜 1 1 は、領域分離溝 1 0 a に対しては埋め込まれた状態となっている。

【 0 0 6 1 】

絶縁膜 1 1 をエッチングするためのエッチングマスク 2 2 は、相対的に小さな面積の活性領域である第 2 の領域 A n に対して格子窓パターン 2 2 a を開口する形態となっている。2 2 b は格子窓パターン 2 2 a を構成するための格子部である。相対的に大きな面積の活性領域である第 1 の領域 A w に対しては、従来技術の場合と同様に、単一開口パターン 2 2 c となっている。

【 0 0 6 2 】

第 1 の領域 A w に対して単一開口パターン 2 2 c を位置合わせするとともに、第 2 の領域 A n に対して格子窓パターン 2 2 a の部分を位置合わせする状態で、絶縁膜 1 1 をエッチングマスク 2 2 で覆う。これが図 2 ( a ) の状態である。

【 0 0 6 3 】

図 2 ( b ) は半導体基板 1 0 上の絶縁膜 1 1 として第 1 の領域 A w 上の絶縁膜 1 1 w と第 2 の領域 A n 上の絶縁膜 1 1 n とを示している。図 2 ( c ) はエッチングマスク 2 2 を示す。第 2 の領域 A n 上の絶縁膜 1 1 n の中央部に格子部 2 2 b が位置対応している。格子窓パターン 2 2 a の近傍において、第 2 の領域 A n 上の絶縁膜 1 1 n の四周部領域に対してエッチングマスク 2 2 が重なっている。

D<sub>n</sub>が第2の領域A<sub>n</sub>での重なり領域、D<sub>w</sub>が第1の領域A<sub>w</sub>での重なり領域である。格子部22bの幅および第2の領域A<sub>n</sub>での重なり領域D<sub>n</sub>の幅については、例えば0.5～1.0μm程度である。第1の領域A<sub>w</sub>での重なり領域D<sub>w</sub>の幅については、例えば1.0～3.0μm程度である。

## 【0064】

図2(a)に示す状態でエッチングマスク22を用いて絶縁膜11をエッチングすると、図2(d)のようになる。すなわち、エッチングマスク22における格子窓パターン22aおよび単一開口パターン22cに位置対応する絶縁膜11の部分のみがエッチングされる。そのエッチングされる部分は第1の領域A<sub>w</sub>上の絶縁膜11wだけでなく、第2の領域A<sub>n</sub>上の絶縁膜11nもエッチングされる。

## 【0065】

絶縁膜11nにおいて、格子窓パターン22aに位置対応した部分がエッチングで除去された格子状開口部11pとなっている。また、絶縁膜11wにおいて、単一開口パターン22cに位置対応した部分がエッチングで除去された単一開口部11qとなっている。11n<sub>1</sub>は重なり領域D<sub>n</sub>に位置対応した残存絶縁膜部分であり、11n<sub>2</sub>は格子部22bに位置対応した残存絶縁膜部分である。11w<sub>1</sub>は重なり領域D<sub>w</sub>に位置対応した残存絶縁膜部分である。

## 【0066】

従来技術(図16)との比較において、第2の領域A<sub>n</sub>において格子窓パターン22aに位置対応した格子状開口部11pが追加されたことが特徴となっている。

## 【0067】

図2(d)の状態に対して、CMP工程により半導体基板10の表面上の絶縁膜11を除去する。すなわち、第1の領域A<sub>w</sub>上の残存絶縁膜部分11w<sub>1</sub>、第2の領域A<sub>n</sub>上の絶縁膜11n<sub>1</sub>、11n<sub>2</sub>を除去し、領域分離溝10a内にのみ絶縁膜11を埋め込んだ状態とする。領域分離溝10a内に埋め込まれた絶縁膜が埋込絶縁膜11uである。埋込絶縁膜11uの上面と半導体基板10の上面とが面一の状態では平坦化されている。

## 【 0 0 6 8 】

CMP方式の研磨において、従来技術に対して追加した状態の第2の領域A<sub>n</sub>における格子状開口部11pの存在により、研磨中の絶縁膜11の膜厚減少率が全面にわたって均等化される。したがって、従来技術の場合の、第1の領域A<sub>w</sub>上の絶縁膜11wでの過剰な除去が抑制され、埋込絶縁膜11uの上面と半導体基板10の上面とが面一の状態で平坦化されることになる。

## 【 0 0 6 9 】

絶縁膜存在率 $\eta$ が、従来技術の場合には、相対的に小さな面積の活性領域である第2の領域A<sub>n</sub>で大きく、相対的に大きな面積の活性領域である第1の領域A<sub>w</sub>で小さいという不均一を伴っていた。これに対して、本実施の形態では、格子窓パターン22aを設けることで第2の領域A<sub>n</sub>に格子状開口部11pを作り、その結果として、第1の領域A<sub>w</sub>での絶縁膜存在率 $\eta$ を第2の領域A<sub>n</sub>での絶縁膜存在率 $\eta$ に近づけたものである。その結果、従来技術の場合の、第1の領域A<sub>w</sub>上の絶縁膜11wでの過剰な除去が抑制され、埋込絶縁膜11uの上面と半導体基板10の上面とが面一の状態で平坦化されることになる。

## 【 0 0 7 0 】

すなわち、エッチングマスクにおけるパターンの形状と寸法を調整することにより、エッチング工程での絶縁膜除去の制御を向上することが可能となり、CMP方式の研磨を全面にわたって均質化し、半導体基板表面の高精度な平坦化を実現することができる。

## 【 0 0 7 1 】

以下で説明する実施の形態はマスクパターンの生成方法についてのものである。

## 【 0 0 7 2 】

## (実施の形態3)

実施の形態3は、大きな面積の活性領域である第1の領域に格子状開口部を形成する実施の形態1に対応している。

## 【 0 0 7 3 】

図3は本発明の実施の形態3におけるマスクパターンの生成方法の手順を示す

フローチャートである。

【 0 0 7 4 】

ステップ 3 1 は活性領域分割ステップであって、レイアウトパターンを入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体素子の活性領域を複数のグループへ分割する。

【 0 0 7 5 】

ステップ 3 2 は反転パターン格子形状生成ステップであって、ステップ 3 1 により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成し、さらに反転パターンを格子形状へ変形する。

【 0 0 7 6 】

ステップ 3 3 はパターン合成ステップであって、ステップ 3 1 により分割されたグループのうち、ステップ 3 2 で処理されたグループのパターンと、処理されなかったパターンを合成する。

【 0 0 7 7 】

図 4 は本実施の形態の具体的一例を示す。まず、図 3 の活性領域分割ステップ 3 1 に相当する領域分割手段 3 1 a において、レイアウトパターン 4 1 を入力し、予め決められた規則に基づいて、入力したレイアウトパターン 4 1 を第 1 の領域 4 2 と第 2 の領域 4 3 の 2 つの領域へ分割する。このとき、予め決められた規則とは、例えば、レイアウトパターンの幅／間隔／密度などである。図 3 の反転パターン格子形状生成ステップ 3 2 に相当する反転パターン格子形状生成手段 3 2 a は、第 1 の領域 4 2 のデータを入力し、第 1 の領域 4 2 を反転したパターンに対して格子形状を生成することにより、マスクパターン（反転パターン） 4 4 を生成する。

【 0 0 7 8 】

以上のように、入力したレイアウトパターンを基に、エッチング用のマスクパターンを生成し出力する。すなわち、マスクパターンについて、絶縁膜除去のレイアウトパターンの形状依存性を制御することができる。

【 0 0 7 9 】

（実施の形態 4）

実施の形態 4 は、大きな面積の活性領域である第 1 の領域に単一開口部を形成し、小さな面積の活性領域である第 2 の領域に格子状開口部を形成する実施の形態 2 に対応している。

【0080】

図 5 は本発明の実施の形態 4 におけるマスクパターンの生成方法の手順を示すフローチャートである。

【0081】

ステップ 5 1 は活性領域分割ステップであって、レイアウトパターンを入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体素子の活性領域を複数のグループへ分割する。

【0082】

ステップ 5 2 は反転パターン格子形状生成ステップであって、ステップ 5 1 により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成し、さらに反転パターンを格子形状へ変形する。

【0083】

ステップ 5 3 は反転パターン生成ステップであって、ステップ 5 1 により分割されたレイアウトパターンのうち、ステップ 5 2 で処理されなかったグループに対して、反転パターンを生成する。

【0084】

ステップ 5 4 はパターン合成ステップであって、ステップ 5 2 とステップ 5 3 で生成した 2 つのパターンを合成し、出力する。

【0085】

図 6 は本実施の形態の具体的一例を示す。まず、図 5 の活性領域分割ステップ 5 1 に相当する領域分割手段 5 1 a において、レイアウトパターン 6 1 を入力し、予め決められた規則に基づいて、入力したレイアウトパターン 6 1 を第 2 の領域 6 2 と第 1 の領域 6 3 の 2 つの領域へ分割する。図 5 の反転パターン格子形状生成ステップ 5 2 に相当する反転パターン格子形状生成手段 5 2 a は、第 2 の領域 6 2 のデータを入力し、第 2 の領域 6 2 を反転したパターンに対して格子形状を生成する。一方、図 5 の反転パターン生成ステップ 5 3 に相当する反転パター

ン生成手段 5 3 a は、第 1 の領域 6 3 のデータを入力し、第 1 の領域 6 3 を反転したパターンを生成する。そして、これら 2 つのパターンを合成したマスクパターン（反転パターン） 6 4 を生成する。

#### 【 0 0 8 6 】

以上のように、大きいパターンで構成される大きい面積の活性領域と、小さいパターンで構成される小さい面積の活性領域の両方について、規則に基づいた絶縁膜除去のレイアウトパターンの形状依存性を制御することができる。その結果、CMP 方式の研磨での半導体基板の平坦度の向上を図ることができるエッチング用のマスクパターンを生成することができる。

#### 【 0 0 8 7 】

図 7 は本実施の形態におけるマスクパターン形状を示す平面図である。

#### 【 0 0 8 8 】

図 7 ( a ) において、A w は相対的に大きな面積の活性領域である第 1 の領域、K w はエッチングマスクにおける単一開口パターン、D w は単一開口パターン K w 以外のエッチングマスクの領域と第 1 の領域 A w との重なり領域である。重なり領域 D w の幅は、1. 0 ～ 3. 0  $\mu$  m 程度である。

#### 【 0 0 8 9 】

図 7 ( b ) において、A n は相対的に小さな面積の活性領域である第 2 の領域、K n はエッチングマスクにおける複数の格子窓パターン、D n は格子窓パターン K n 以外のエッチングマスクの領域と第 2 の領域 A n との重なり領域である。重なり領域 D n の幅は、0. 5 ～ 1. 0  $\mu$  m 程度である。

#### 【 0 0 9 0 】

格子形状をとることは補強材の役割を果たし、機械的強度を保つことができる。これにより、小さな面積の活性領域に対しても反転パターンを生成でき、平坦度の向上を図ることができる。

#### 【 0 0 9 1 】

##### （実施の形態 5）

実施の形態 5 は、大きな面積の活性領域である第 1 の領域に格子状開口部を形成する実施の形態 1 に対応している。



## 【 0 0 9 2 】

図 8 は本発明の実施の形態 5 におけるマスクパターンの生成方法の手順を示すフローチャートである。

## 【 0 0 9 3 】

ステップ 7 1 は第 1 領域／第 2 の領域分割ステップであって、レイアウトパターンを入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体素子の活性領域を複数のグループへ分割する。

## 【 0 0 9 4 】

ステップ 7 2 は反転パターン格子形状生成ステップであって、ステップ 7 1 により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成し、さらに反転パターンを格子形状へ変形する。

## 【 0 0 9 5 】

ステップ 7 3 は規則変更用の段差シミュレーションステップであって、ステップ 7 1 により分割されたグループのうち、ステップ 7 2 で処理されたグループが半導体基板上でどのように形成されるかを計算する。

## 【 0 0 9 6 】

ステップ 7 4 は段差判定ステップであって、ステップ 7 3 で得られた結果が、半導体製造に許容される表面高さの差異の限度を満たすか否かを判定する。

## 【 0 0 9 7 】

ステップ 7 5 はパターン生成ステップであって、ステップ 7 4 を経て、マスクパターンを生成する。

## 【 0 0 9 8 】

以上により、入力されたレイアウトパターンを基に、エッチング用のマスクパターンを生成し、出力する。

## 【 0 0 9 9 】

図 9 は本実施の形態の具体的一例を示す。図 8 の第 1 領域／第 2 の領域分割ステップ 7 1 に相当する第 1 の領域／第 2 の領域分割手段 7 1 a において、レイアウトパターン 8 1 を入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体素子の活性領域についてエッチングが必要な第 1 の領域 8 2 と

それ以外の第 2 の領域に分割する。図 8 の反転パターン格子形状生成ステップ 7 2 に相当する反転パターン／格子形状生成手段 7 2 a において、第 1 の領域 8 2 について、予め決められた規則に基づき反転パターンを生成する。段差シミュレーション手段 7 3 a は図 8 の規則変更用の段差シミュレーションステップ 7 3 に相当する処理を実施し、照合手段 7 4 a は図 8 の段差判定ステップ 7 4 に相当する処理を行って、予め決められた規則と照合した結果が満足すればマスクパターン（反転パターン） 8 3 を出力する。

【 0 1 0 0 】

照合手段 7 4 a での処理において結果が満足しない場合、第 1 領域／第 2 の領域分割手段 7 1 a、反転パターン格子形状生成手段 7 2 a における規則を変更し、以降の処理を繰り返す。

【 0 1 0 1 】

これにより、反転パターンを生成する規則をレイアウトパターンの特徴に最適化することが可能となり、平坦度の向上を図ることができる。

【 0 1 0 2 】

（実施の形態 6）

実施の形態 6 は、大きな面積の活性領域である第 1 の領域に単一開口部を形成し、小さな面積の活性領域である第 2 の領域に格子状開口部を形成する実施の形態 2 に対応している。

【 0 1 0 3 】

実施の形態 6 は、最適なマスクパターン（反転パターン）を段差シミュレーションに基づいて決定するものである。

【 0 1 0 4 】

図 1 0 は本発明の実施の形態 6 におけるマスクパターンの生成方法の手順を示すフローチャートである。

【 0 1 0 5 】

ステップ 9 1 は領域分割ステップであって、レイアウトパターンを入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体素子の活性領域を複数のグループへ分割する。

【 0 1 0 6 】

ステップ 9 2 は反転パターン格子形状生成ステップであって、ステップ 9 1 により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成し、さらに反転パターンを格子形状へ変形する。

【 0 1 0 7 】

ステップ 9 3 は反転パターン生成ステップであって、ステップ 9 1 により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成する。

【 0 1 0 8 】

ステップ 9 4 は規則変更用の段差シミュレーションステップであって、ステップ 9 1 により分割されたグループのうち、ステップ 9 2 で処理されたグループが半導体基板上でどのように形成されるかを計算する。

【 0 1 0 9 】

ステップ 9 5 は段差判定ステップであって、ステップ 9 4 で得られた結果が、半導体製造に許容される表面高さの差異の限度を満たすか否かを判定する。

【 0 1 1 0 】

ステップ 9 6 はパターン生成ステップであって、ステップ 9 5 を経て、マスクパターンを生成する。

【 0 1 1 1 】

以上により、入力されたレイアウトパターンを基に、エッチング用のマスクパターンを生成し、出力する。

【 0 1 1 2 】

図 1 1 は本実施の形態の具体的一例を示す。図 1 0 の領域分割ステップ 9 1 に相当する領域分割手段 9 1 a は、レイアウトパターン 1 0 1 を入力し、予め決められた規則に基づいて、レイアウトパターンにおいて半導体の活性領域を第 2 の領域 1 0 2 と第 1 の領域 1 0 3 とそれ以外の領域に分割する。第 2 の領域 1 0 2 は反転パターンおよび格子形状を生成する領域であり、第 1 の領域 1 0 3 は反転パターンのみを生成する領域である。

【 0 1 1 3 】

図 1 0 の反転パターン格子形状生成ステップ 9 2 に相当する反転パターン格子形状生成手段 9 2 a は、第 2 の領域 1 0 2 のデータを入力し、第 2 の領域 1 0 2 を反転したパターンに対して予め決められた規則に従って格子形状を生成する。一方、図 1 0 の反転パターン生成ステップ 9 3 に相当する反転パターン生成手段 9 3 a は、第 1 の領域 1 0 3 のデータを入力し、第 1 の領域 1 0 3 を反転したパターンを生成する。そして、上記の生成した 2 つのパターンを合成した反転パターン 1 0 4 を生成する。

## 【 0 1 1 4 】

段差シミュレーション手段 9 4 a は図 1 0 の規則変更用の段差シミュレーションステップ 9 4 に相当する処理を実施し、照合手段 9 5 a は図 1 0 の段差判定ステップ 9 5 に相当する処理を行って、予め決められた規則と照合した結果が満足すればマスクパターン（反転パターン） 1 0 5 を出力する。

## 【 0 1 1 5 】

照合手段 9 5 a での処理において結果が満足しない場合、領域分割手段 9 1 a、反転パターン格子形状生成手段 9 2 a、反転パターン生成手段 9 3 a における規則を変更し、以降の処理を繰り返す。

## 【 0 1 1 6 】

これらにより、大きいパターンで構成される大きい面積の活性領域と、小さいパターンで構成される小さい面積の活性領域の両方を有するレイアウトパターンについて、反転パターンを生成する規則をレイアウトパターンの特徴に最適化することが可能となり、平坦度の向上を図ることができる。

## 【 0 1 1 7 】

## （実施の形態 7）

実施の形態 7 は、表面高さの差異の度合いに応じて、実施の形態 1 の方法と実施の形態 2 の方法とを切り換えるものである。

## 【 0 1 1 8 】

図 1 2 は本発明の実施の形態 7 におけるマスクパターンの生成方法の手順を示すフローチャートである。

## 【 0 1 1 9 】

ステップ 1 1 1 は生成方法選択用の段差シミュレーションステップであって、レイアウトパターンを入力し、予め決められた規則に基づいて、半導体基板上に形成される表面高さの差異を計算する。

【 0 1 2 0 】

ステップ 1 1 2 は第 1 領域／第 2 の領域分割ステップであって、予め決められた規則に基づいて、半導体素子の活性領域を複数のグループへ分割する。

【 0 1 2 1 】

ステップ 1 1 3 はパターン生成方法判定ステップであって、ステップ 1 1 1 の結果に基づいて、複数存在する反転パターン生成方法から適切なものを選択する。

【 0 1 2 2 】

ステップ 1 1 4 は反転パターン格子形状生成ステップであって、ステップ 1 1 2 により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成し、さらに反転パターンを格子形状へ変形する。

【 0 1 2 3 】

ステップ 1 1 5 は反転パターン生成ステップであって、ステップ 1 1 2 により分割されたレイアウトパターンのうち特定のグループに対して、反転パターンを生成する。

【 0 1 2 4 】

ステップ 1 1 6 はパターン合成ステップであって、ステップ 1 1 4 およびステップ 1 1 5 を経て、反転パターンを合成する。

【 0 1 2 5 】

以上により、入力されたレイアウトパターンを基に、エッチング用の反転パターンを生成し、出力する。

【 0 1 2 6 】

図 1 3 は本実施の形態の具体的一例を示す。

【 0 1 2 7 】

生成方法選択用の段差シミュレーション手段 1 2 2 は、入力したレイアウトパターン 1 2 1 に基づいて CMP 工程後のウェハ表面における段差シミュレーショ

ンを行い、生成方法選択手段 1 2 3 はシミュレーション結果の表面高さの差異が軽微か重大かの判定を行い、軽微の場合は第 1 領域／第 2 の領域分割手段 1 2 4 へ処理を渡し、重大の場合は領域分割手段 1 3 0 へ処理を渡す。

#### 【 0 1 2 8 】

第 1 領域／第 2 の領域分割手段 1 2 4 以降、反転パターン 1 2 9 までは、実施の形態 5 の場合の図 9 と同様である。また、領域分割手段 1 3 0 以降、反転パターン 1 3 8 までは、実施の形態 6 の場合の図 1 1 と同様である。図 9 の符号 7 1 a は図 1 3 の符号 1 2 4 に対応し、以下同様に、8 2 は 1 2 5 に、7 2 a は 1 2 6 に、7 3 a は 1 2 7 に、7 4 a は 1 2 8 に、8 3 は 1 2 9 にそれぞれ対応している。図 1 1 の符号 9 1 a は図 1 3 の符号 1 3 0 に対応し、以下同様に、1 0 2 は 1 3 1 に、1 0 3 は 1 3 2 に、9 2 a は 1 3 3 に、9 3 a は 1 3 4 に、1 0 4 は 1 3 5 に、9 4 a は 1 3 6 に、9 5 a は 1 3 7 に、1 0 5 は 1 3 8 にそれぞれ対応している。技術内容は同一であるので、説明を省略する。

#### 【 0 1 2 9 】

これにより、大きいパターンで構成される大きい面積の活性領域と、小さいパターンで構成される小さい面積の活性領域の両方を有するレイアウトパターンについて、反転パターンを生成する規則をレイアウトパターンの特徴に最適化することが可能となる。また、活性領域のパターンの大きさに依存しない反転パターンの形状や寸法制御が可能となり、平坦度の向上を図ることができる。

#### 【 0 1 3 0 】

(実施の形態 8)

実施の形態 8 は、レイアウトパターンを特定の大きさの領域へ分割し、領域内をパターン密度計算に基づいて反転パターンの形状や反転パターンの規則を制御するものである。

#### 【 0 1 3 1 】

図 1 4 は本発明の実施の形態 8 におけるマスクパターンの生成方法の手順を示すフローチャートである。

#### 【 0 1 3 2 】

ステップ 1 4 1 は、レイアウトパターンを特定の大きさの領域へ分割する領域

分割ステップである。ステップ 1 4 2 は、分割された個々の領域内でパターン密度を計算する領域内密度計算ステップである。ステップ 1 4 3 は、反転パターンについての形状、寸法、活性領域との重なり幅を決定する寸法／重なり幅算出ステップである。ステップ 1 4 4 は、反転パターンを生成するパターン生成ステップである。

【 0 1 3 3 】

図 1 5 は本実施の形態の具体的一例を示す。

【 0 1 3 4 】

ステップ 1 5 2 において、入力したレイアウトパターン 1 5 1 を予め定められた特定の大きさの領域へ分割する。ステップ 1 5 3 において、分割された領域内のパターン密度を計算し、ステップ 1 5 4 において、計算結果のパターン密度に基づいて反転パターンの寸法／重なり幅を決定し、ステップ 1 5 5 において、マスクパターン（反転パターン） 1 5 6 を生成する。

【 0 1 3 5 】

これにより、活性領域のパターンの形状や大きさに加えて、特定の大きさの領域のパターンの特徴に基づいて反転パターンを生成でき、平坦度の向上を図ることができる。

【 0 1 3 6 】

【発明の効果】

以上のように本発明によれば、大きな面積の活性領域である第 1 の領域での単一開口部に格子部を追加することにより、あるいは、小さな面積の活性領域である第 2 の領域での無開口部に格子状開口部を追加することにより、絶縁膜存在率を第 1 の領域と第 2 の領域とで均一化し、研磨除去における絶縁膜の膜厚減少率を絶縁膜の全面にわたって均等化することができる。その結果、局所的なオーバー研磨を防止し、領域分離溝内絶縁膜表面と半導体基板表面との間の表面高さの差異を減少させ、両者の表面高さを均一化することができる。したがって、半導体基板表面の平坦性を向上させ、ひいては、半導体素子の特性を改善することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 における半導体装置の製造方法の工程説明図

【図 2】 本発明の実施の形態 2 における半導体装置の製造方法の工程説明図

【図 3】 本発明の実施の形態 3 におけるマスクパターンの生成方法の手順を示すフローチャート

【図 4】 実施の形態 3 における具体的一例を示すフローチャート

【図 5】 本発明の実施の形態 4 におけるマスクパターンの生成方法の手順を示すフローチャート

【図 6】 実施の形態 4 における具体的一例を示すフローチャート

【図 7】 実施の形態 4 におけるマスクパターン形状を示す平面図

【図 8】 本発明の実施の形態 5 におけるマスクパターンの生成方法の手順を示すフローチャート

【図 9】 実施の形態 5 における具体的一例を示すフローチャート

【図 10】 本発明の実施の形態 6 におけるマスクパターンの生成方法の手順を示すフローチャート

【図 11】 実施の形態 6 における具体的一例を示すフローチャート

【図 12】 本発明の実施の形態 7 におけるマスクパターンの生成方法の手順を示すフローチャート

【図 13】 実施の形態 7 における具体的一例を示すフローチャート

【図 14】 本発明の実施の形態 8 におけるマスクパターンの生成方法の手順を示すフローチャート

【図 15】 実施の形態 8 における具体的一例を示すフローチャート

【図 16】 従来の技術における半導体装置の製造方法の工程説明図

【符号の説明】

A w 第 1 の領域

A n 第 2 の領域

D w 第 1 の領域での重なり領域

D n 第 2 の領域での重なり領域

K w 単一開口パターン

K n 格子窓パターン



1 0 半導体基板

1 0 a 領域分離溝

1 1 絶縁膜（酸化膜）

1 1 w 第 1 の領域上の絶縁膜

1 1 n 第 2 の領域上の絶縁膜

1 1 p 格子状開口部

1 1 q 単一開口部

1 1 w<sub>1</sub> 重なり領域 D w に位置対応した残存絶縁膜部分

1 1 w<sub>2</sub> 格子部に位置対応した残存絶縁膜部分

1 1 u 埋込絶縁膜

1 1 n<sub>1</sub> 重なり領域 D n に位置対応した残存絶縁膜部分

1 1 n<sub>2</sub> 格子部に位置対応した残存絶縁膜部分

1 2 エッチングマスク

1 2 a 格子窓パターン

1 2 b 格子部

2 2 エッチングマスク

2 2 a 格子窓パターン

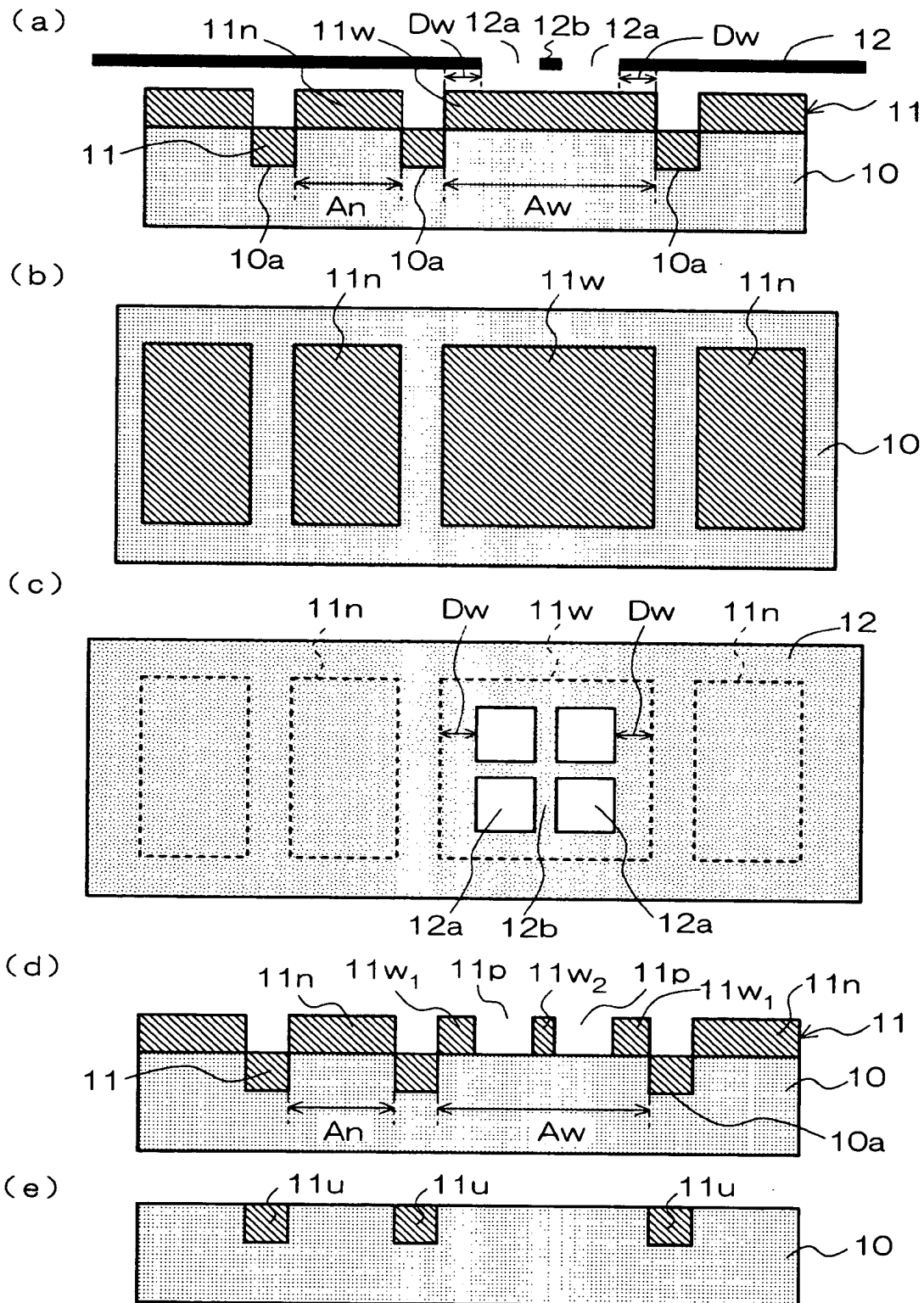
2 2 b 格子部

2 2 c 単一開口パターン

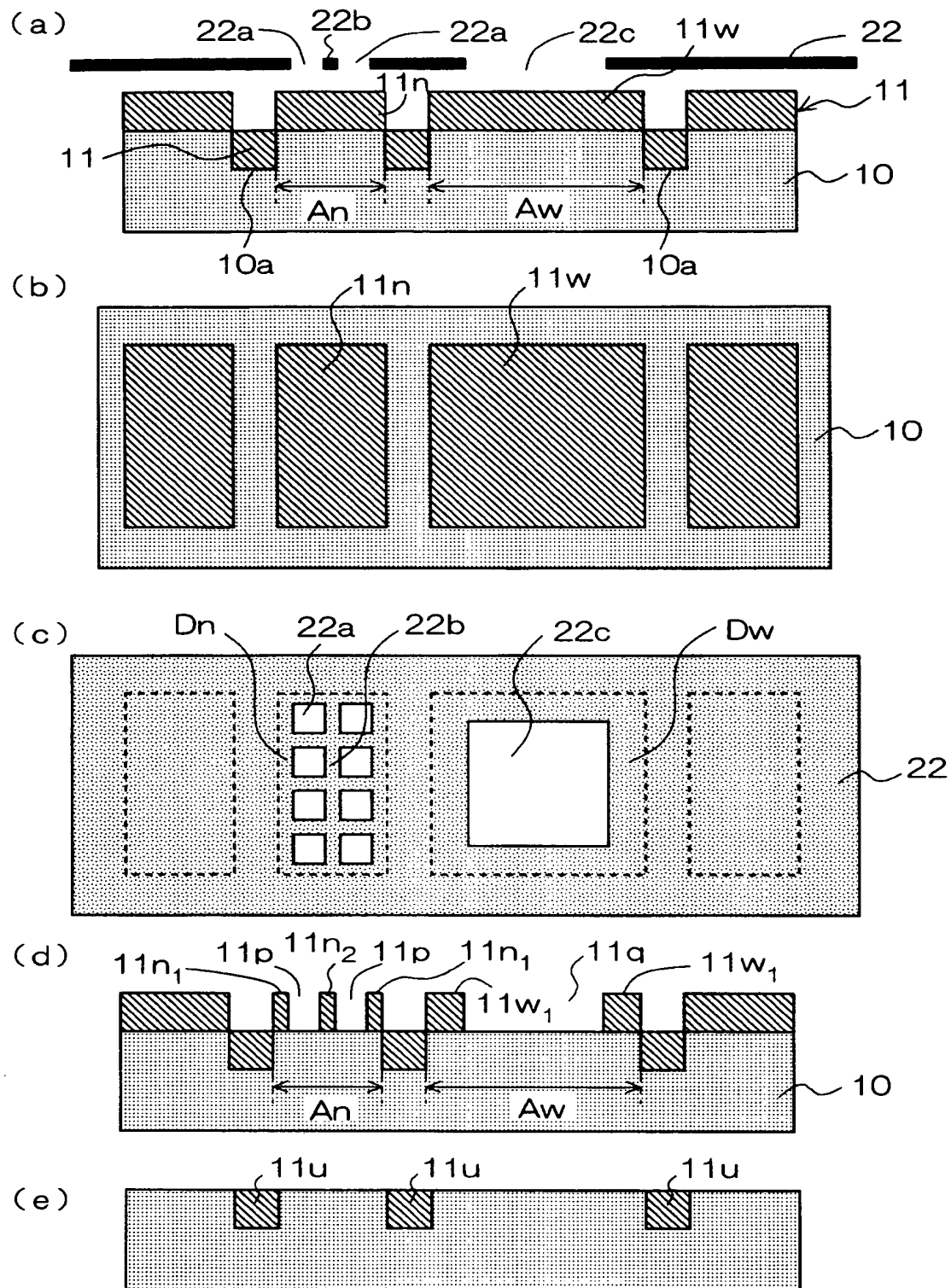
【書類名】

図面

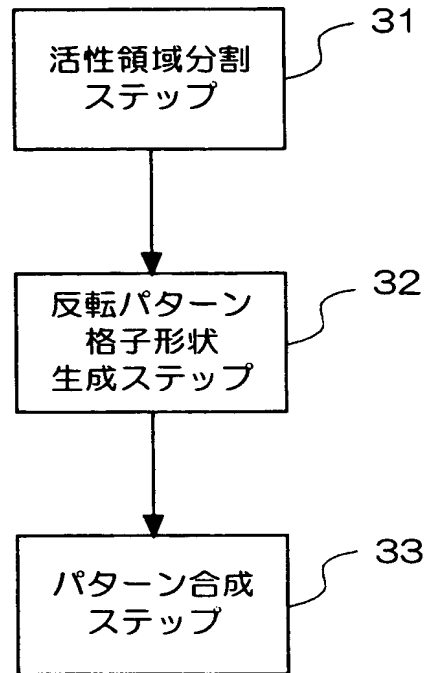
【図1】



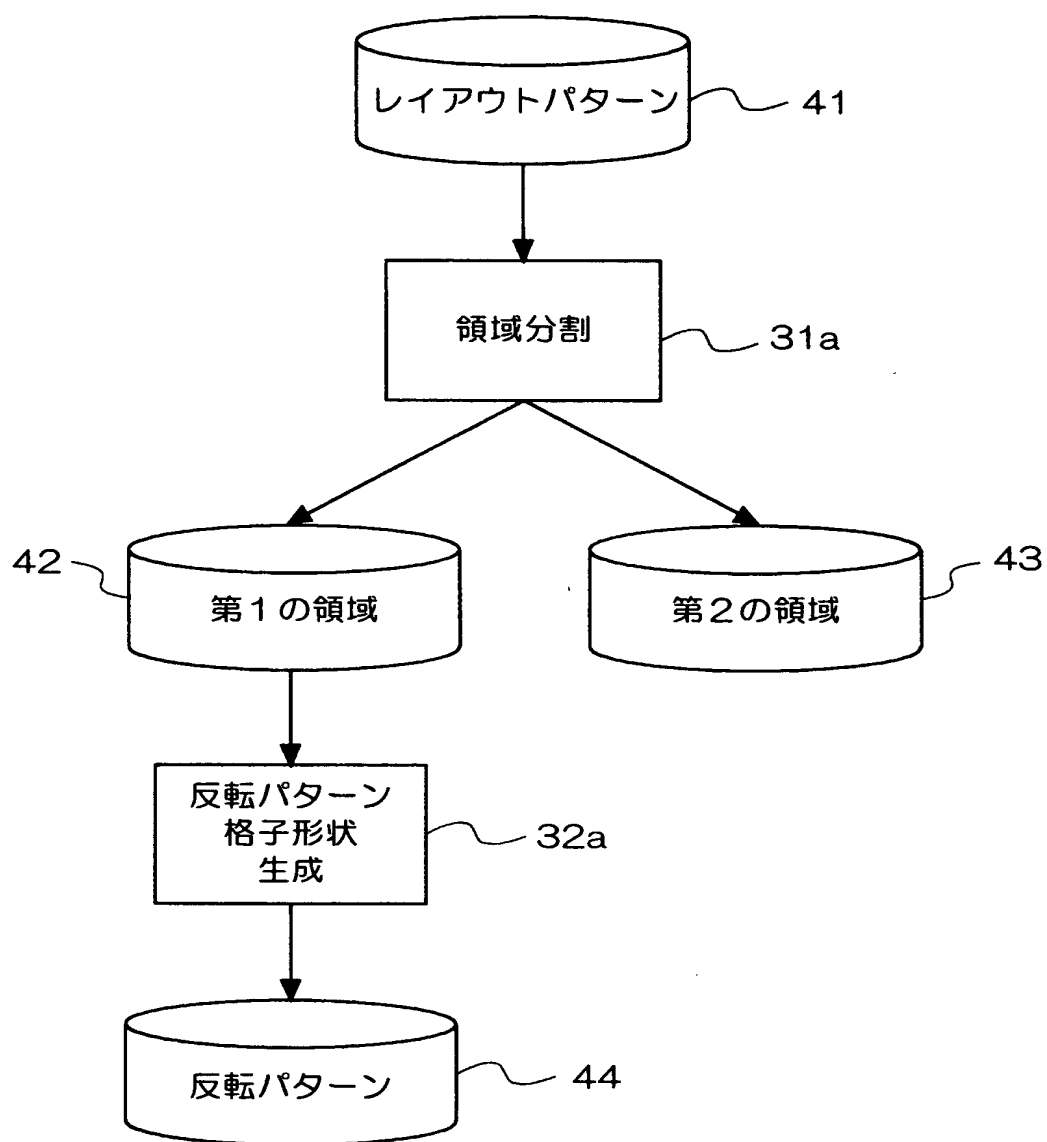
【図2】



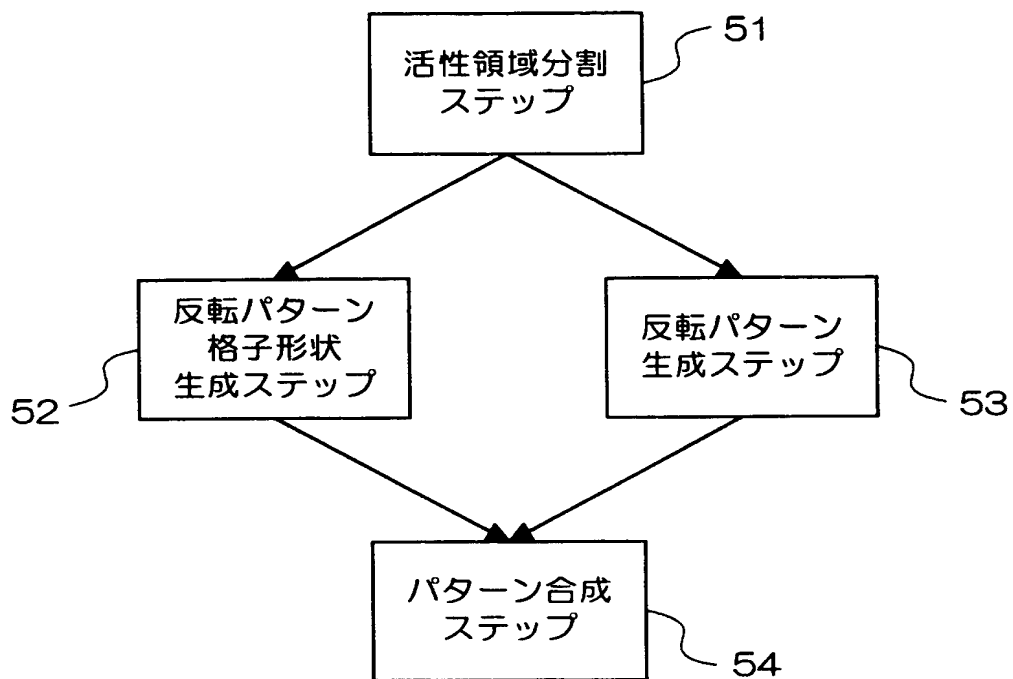
【図3】



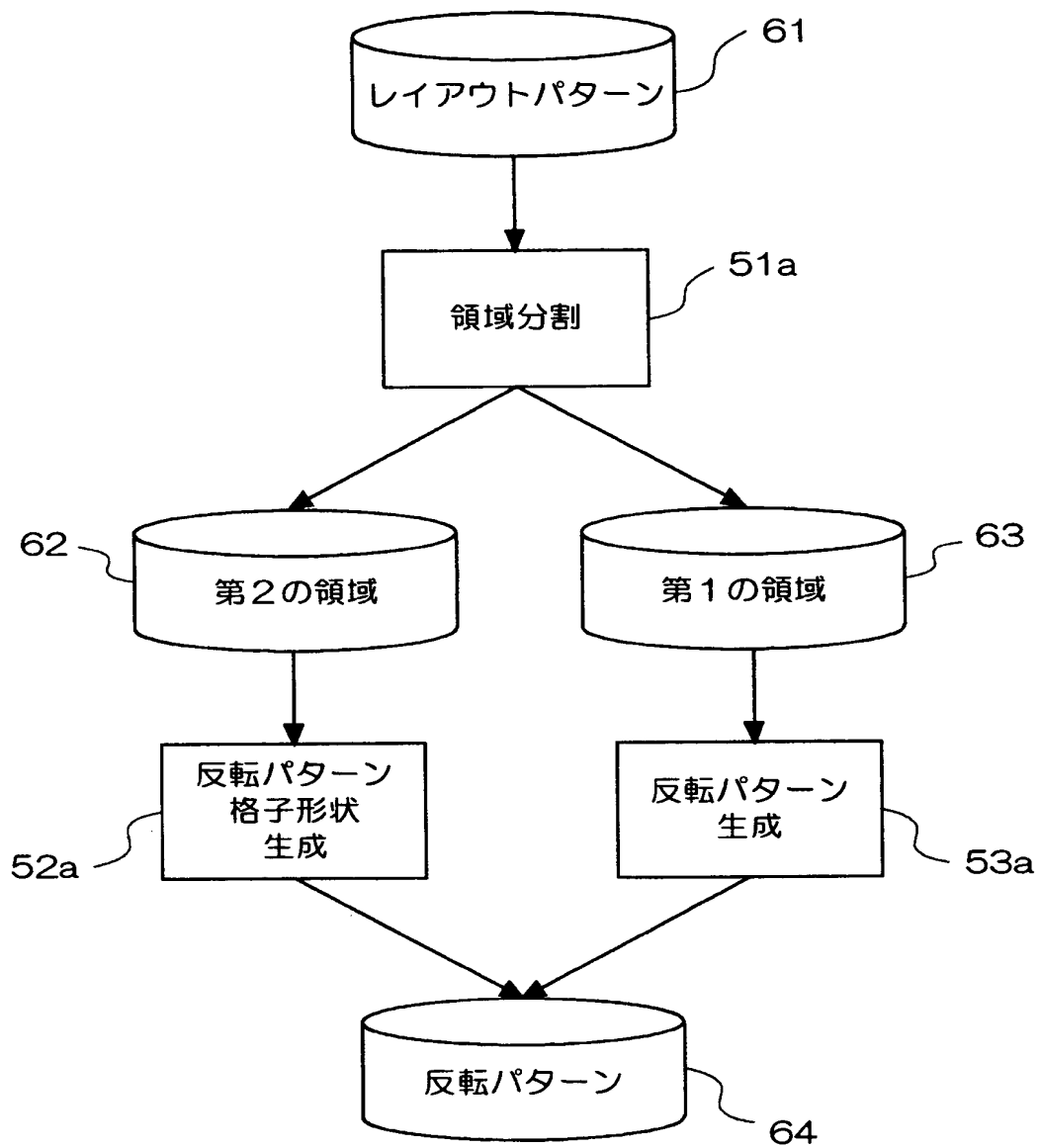
【図4】



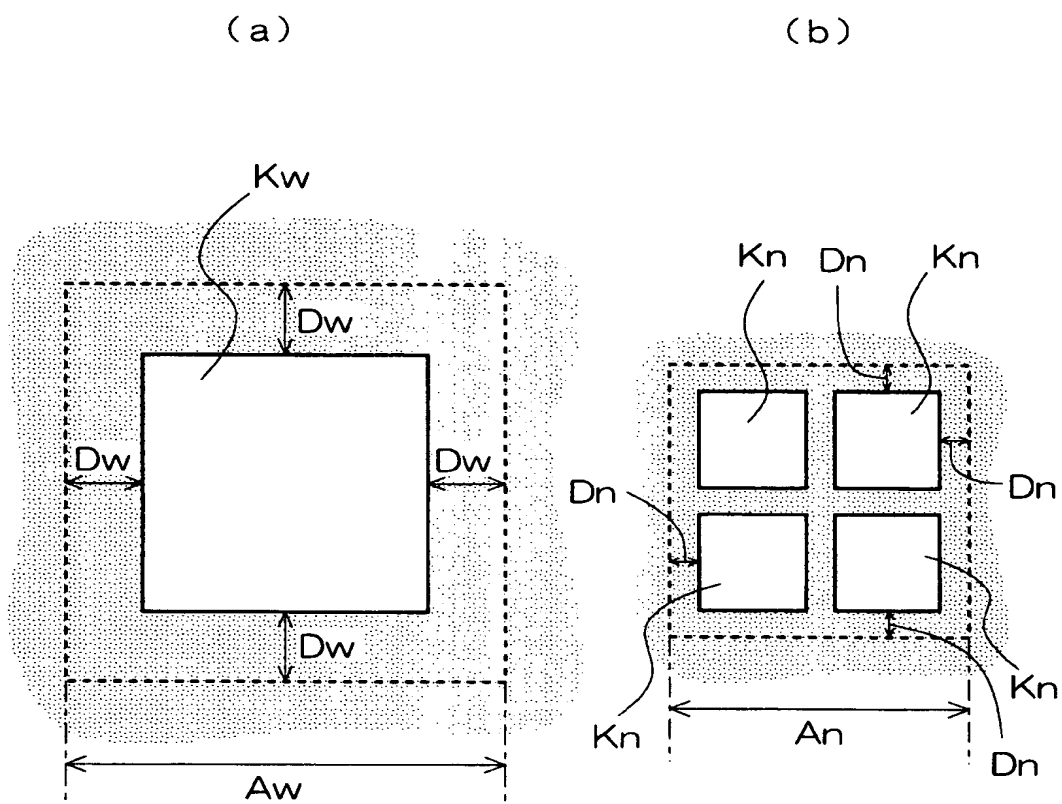
【図 5】



【図6】

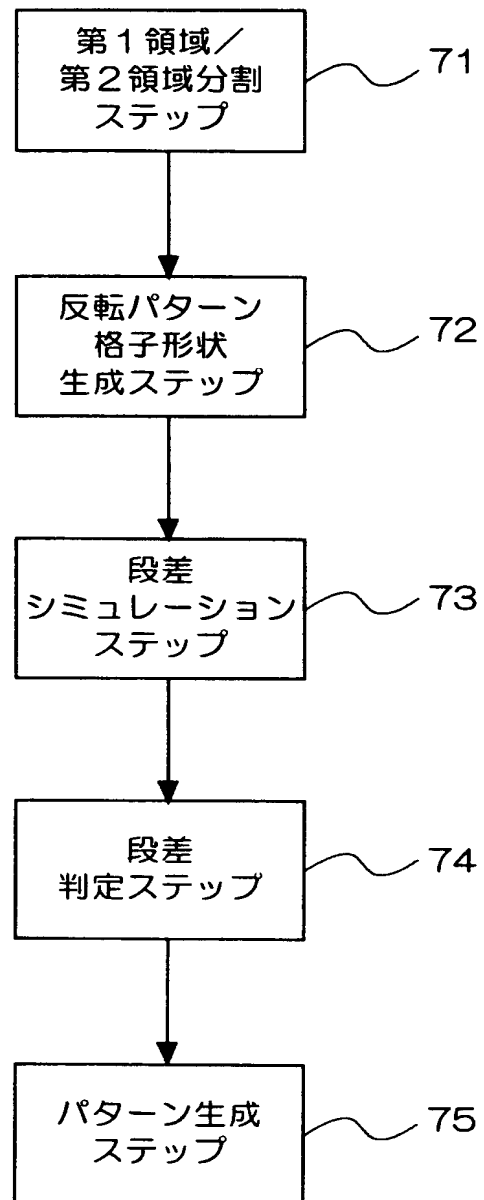


【図7】

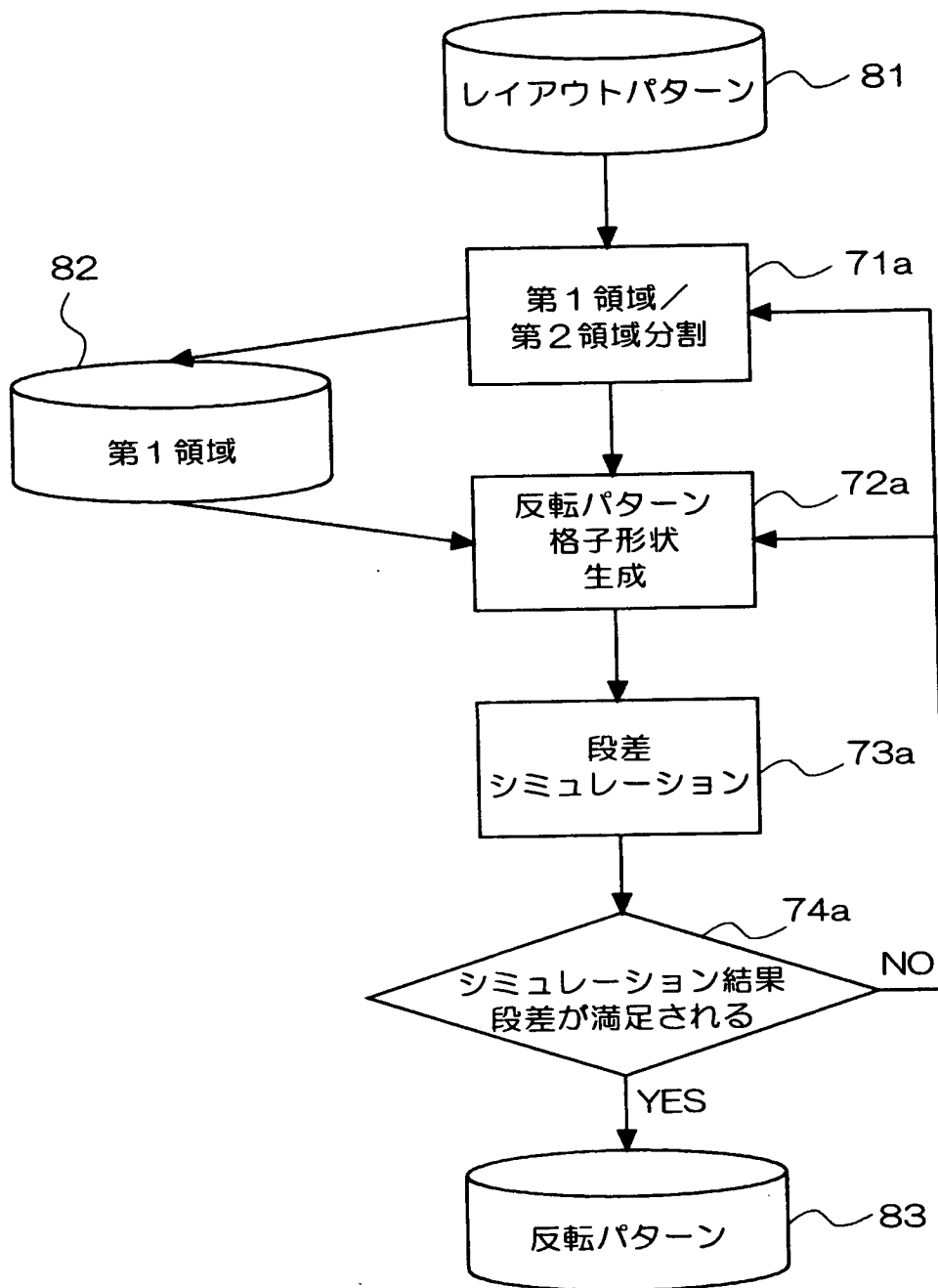




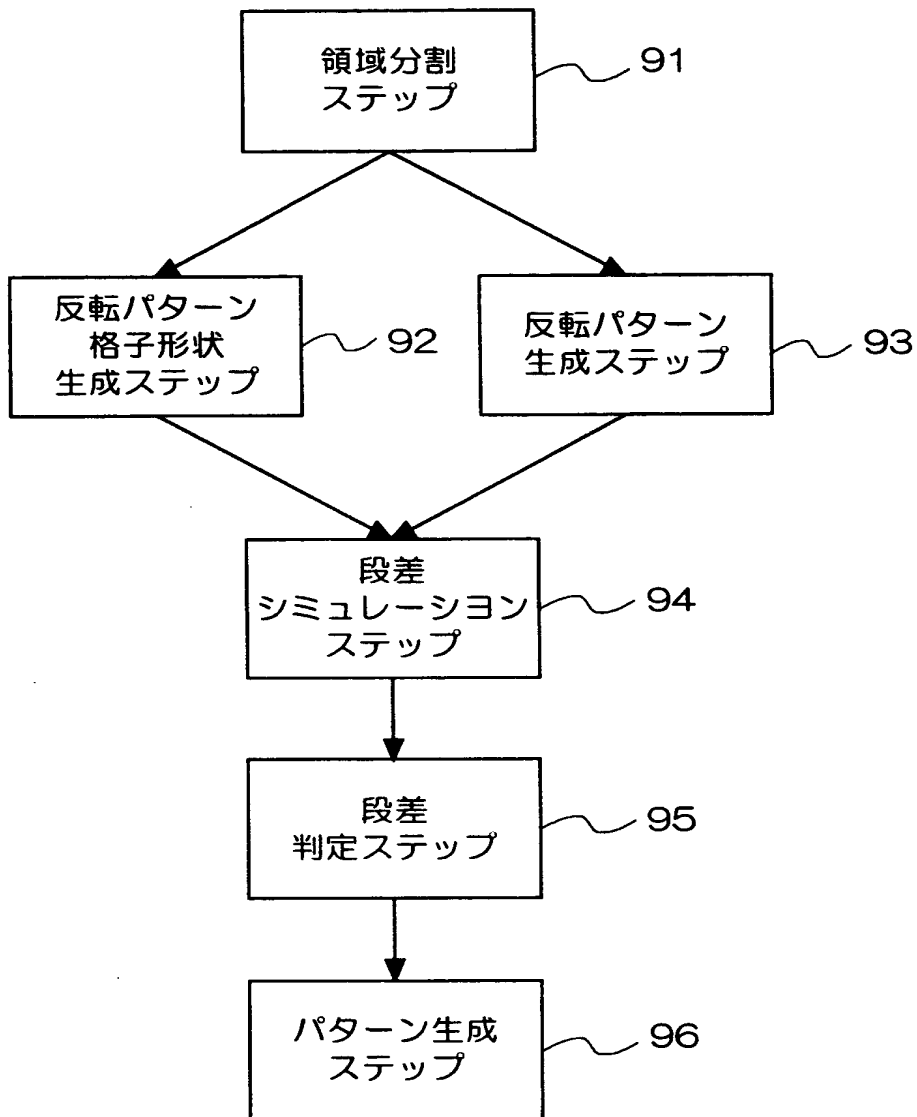
【図 8】



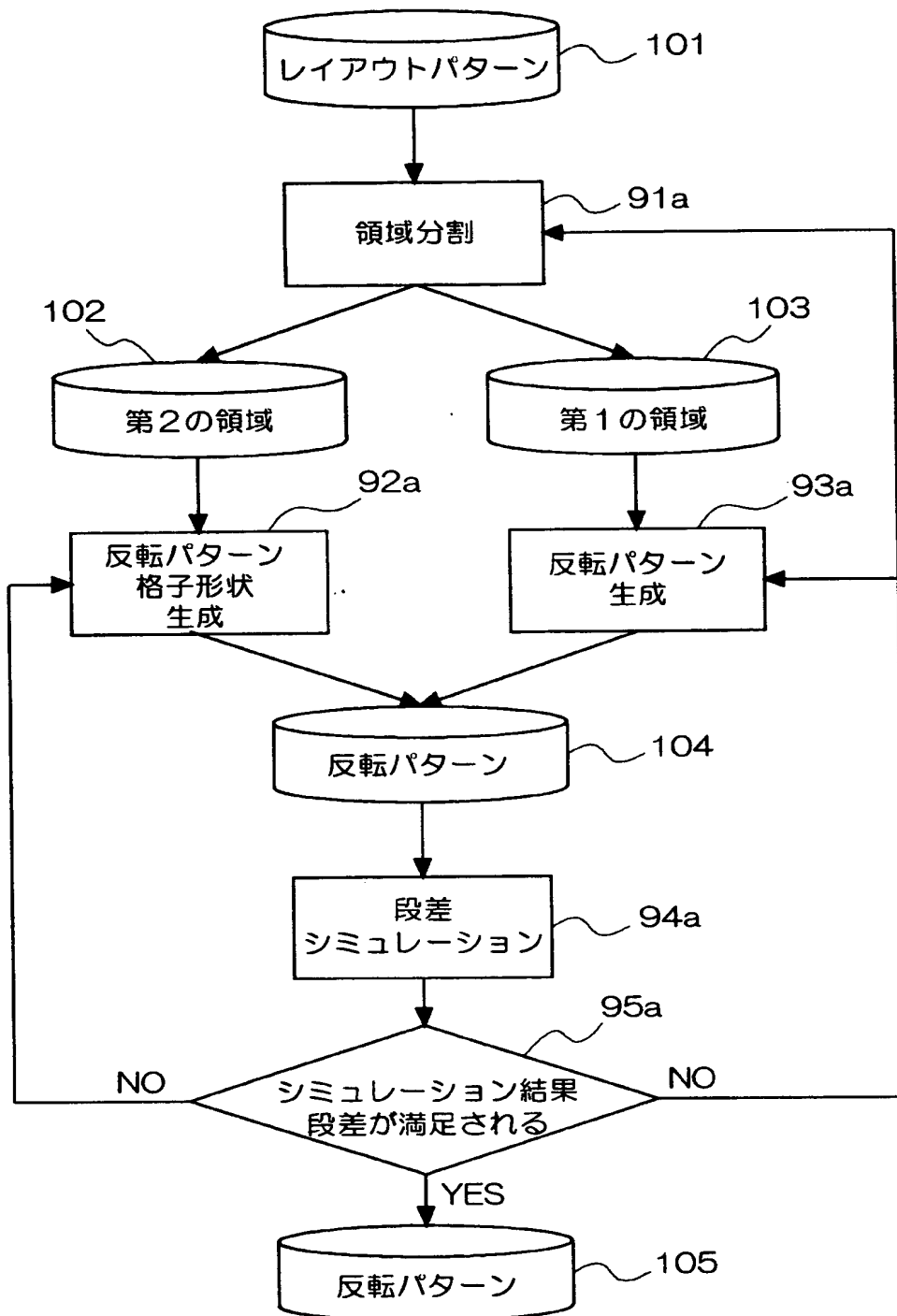
【図9】



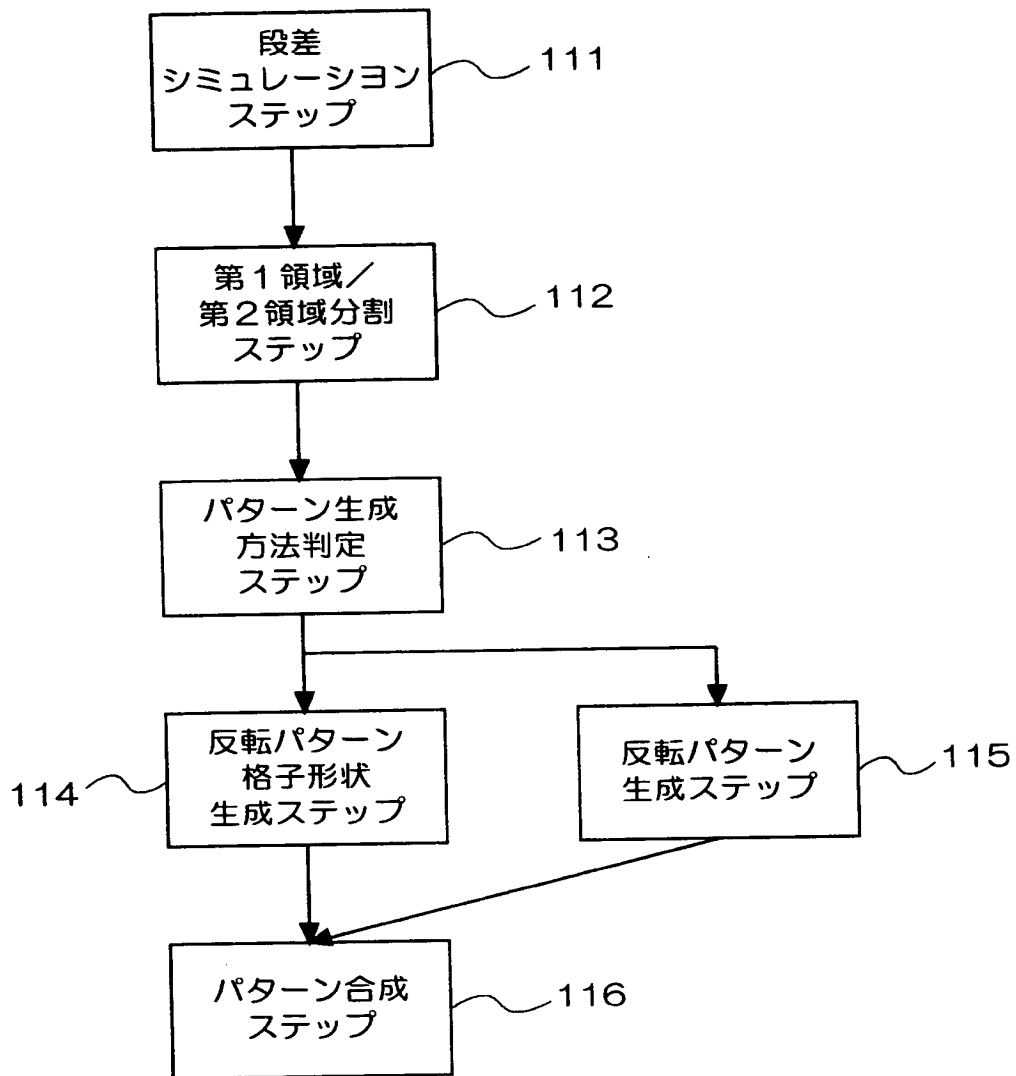
【図 1 0】



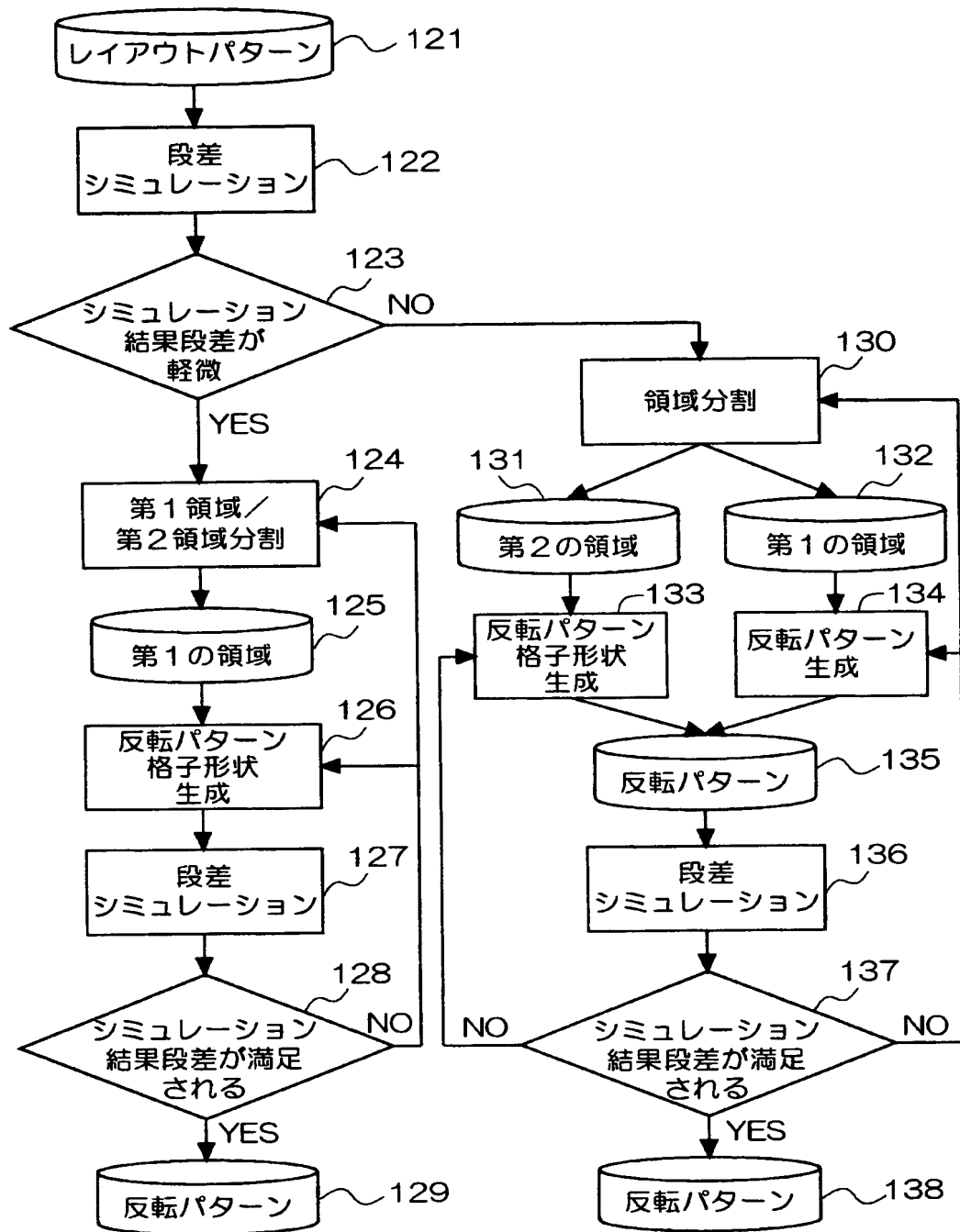
【図 11】



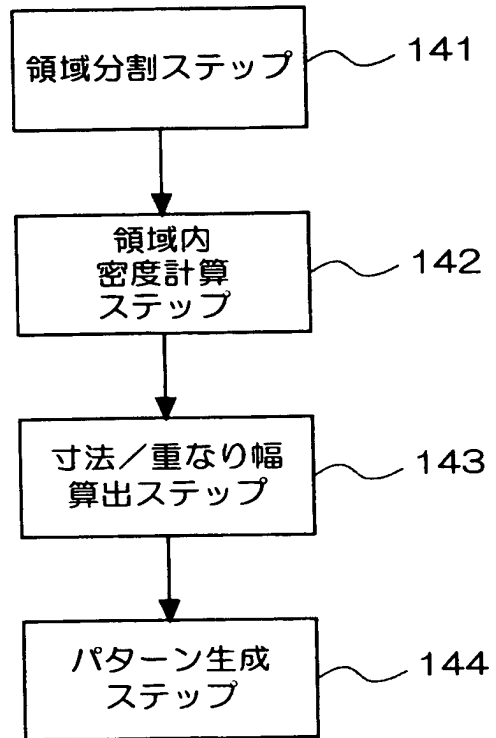
【図12】



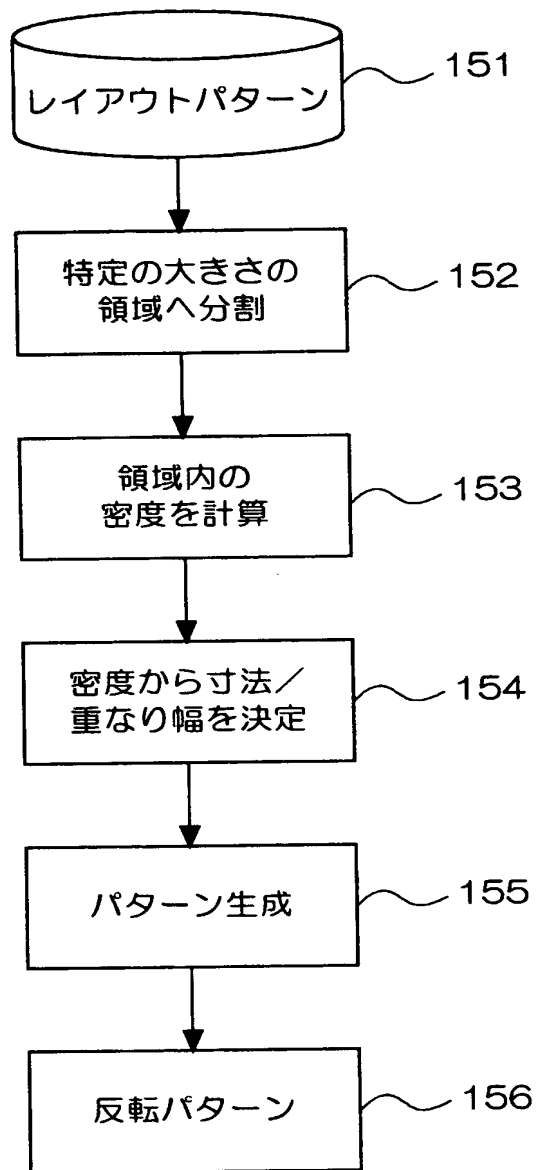
【図13】



【図 1 4】

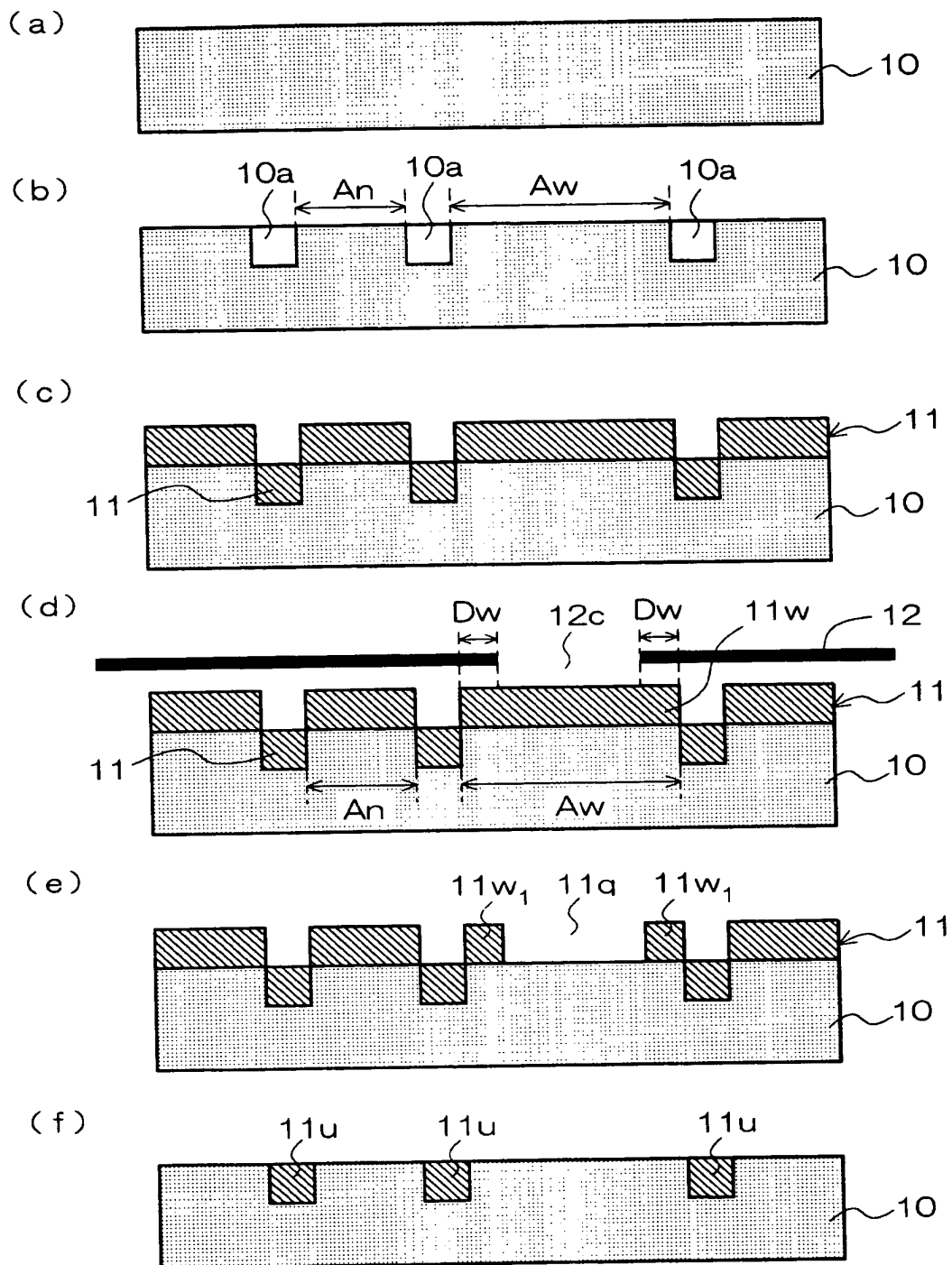


【図 1 5】





【図16】



【書類名】 要約書

【要約】

【課題】 S T I 技術によって半導体基板表面の平坦性を向上し、安定した素子分離が得られるようにする。

【解決手段】 半導体基板において大面積の第 1 の領域 A w と小面積の第 2 の領域 A n とに分離する領域分離溝 1 0 a を形成し、領域分離溝 1 0 a の内部を含めて半導体基板表面上に絶縁膜 1 1 を形成し、格子窓パターン 1 2 a を有するエッチングマスク 1 2 を用いて第 1 の領域に格子窓パターンに対応する格子状開口部 1 1 p を形成する状態で、あるいは単一開口パターン 2 2 c および格子窓パターン 2 2 a を有するエッチングマスク 2 2 を用いて第 1 の領域には単一開口パターンに対応する単一開口部 1 1 q を形成するとともに、第 2 の領域には格子窓パターンに対応する格子状開口部 1 1 p を形成する状態で、絶縁膜 1 1 に対するエッチングを行い、半導体基板上に残存している絶縁膜に対して研磨除去を施す。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-270068
受付番号	50201387066
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 9月20日

<認定情報・付加情報>

【提出日】	平成14年 9月17日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社